画像処理用のダイナミック・リコンフィギャラブル・プロセッサ
DAPDNA-IMX

アイピーフレックスは，画像処理用のダイナミック・リコンフィギャラブル・プロセッサ「DAPDNA-IMX」のサンプル出荷を開始した．DAP（Digital Application Processor）と呼ばれる2個の32ビットRISCコアと，DNA（Distributed Network Architecture）と呼ばれる動的再構成が可能な955個の演算エレメント（PE）を1チップに集積した．ダイナミック・リコンフィギャラブル・プロセッサとは，LSI内部の回路構成を瞬時に変更（動的再構成）することで，機能を切り替えながら動作するLSIである．従来は複数のチップで処理していたアプリケーションを，1チップで高速に処理できるようになる．

PEのモード設定により，画像処理に必要なライン・バッファやFIFOメモリ，参照テーブル，ステート・マシン，ハフマン符号の復号回路などを構成できる．

本プロセッサの動作周波数は266MHz．DAPの2個のRISCコアは，それぞれ8Kバイトの命令キャッシュと8Kバイトのデータ・キャッシュを備える．DNAは，回路構成を記憶する3バンクのコンフィグレーション・メモリを内蔵する．外部インターフェースとして，最大200MHzで動作する16ビット幅，4チャネルの入出力インターフェース，266MHzで動作する64ビット幅のDDR2 SDRAMインターフェース，PCI Express（x4）インターフェース，ブート用とプログラム用のシリアルROMインターフェース，UARTインターフェース，GPIOインターフェースを備える．外部割り込みは8本．

電源電圧は，コア部が1.2V，I/O部が3.3Vと1.8V．1156ピンのTE-BGA（Thermally Enhanced-Ball Grid Array）に封止する．

開発には，同社の統合開発環境である「DAPDNA-FW II v3.2」を利用する．ユーザは，DNA部に実装したい機能のデータ・フローをDFCと呼ぶ言語で記述する．DFCコンパイラにより，本プロセッサ上に実装可能なコンフィギュレーション・データを自動生成する．さらに，本開発環境は，波形ビューワやメモリ・ビューワ，リソース・マネージャ，消費電力ビューワなどを備えている．

写真1　DAPDNA-IMXの外観

■価格
下記に問い合わせ
■連絡先
アイピーフレックス株式会社
TEL 03-5436-3253
info@ipflex.com
http://www.ipflex.com/

PCIブリッジ機能付きPCI ExpressスイッチLSI
ZTRITON iVT-PE632SB

インベンチュアは，PCI ExpressスイッチとPCIブリッジの機能を1チップに集積したLSI「ZTRITON iVT-PE632SB」を発売した．すでに，PCI規格の標準化団体であるPCI-SIG（Peripheral Component Interconnect Special Interest Group）によるコンプライアンス・テストに合格しており，同団体のIntegrator Listに掲載されている．

本LSIは，PCI Expressスイッチを最大6ポート/32レーン備える．QoS（Quality of Service）機能を実現するため，各ポートに2個の仮想チャネルを配置し，HOL（Head of Line）ブロッキング対策などのルーティング・アルゴリズムを採用している．また，従来型のPCIバス（32ビット，66MHz）をポートに割り当てることも可能．すなわち，既存のPCIバスとPCI Expressバスを共存させることができる．

本LSIを搭載したPCI Expressシステムの開発キットを用意する．PCI Expressスロット（ホット・プラグ対応）を六つ，PCIスロットを四つ備える．また，PCI Express x8ケーブルを使用した中継基板や評価・デバッグ用基板，解析用ソフトウェア，ATX電源などが付属する．

本LSIとは別に，最大5ポート/17レーンに対応したPCI ExpressスイッチLSIやPCI Express Gen2/MR-IOVに対応したLSIも製品化する計画．

写真1　ZTRITON iVT-PE632SBの外観

■価格
16,000円（サンプル価格）
5,000円
（量産価格，10,000個購入時の単価）
■連絡先
インベンチュア株式会社
TEL 045-477-3377
sales@inventure.co.jp
http://www.inventure.co.jp/

AlteraのNios Ⅱプロセッサ・コアを組み込んだFPGA搭載評価ボード
FSMPB for NiosII

富士ソフトは，米国Altera社のNios Ⅱプロセッサ・コアを組み込んだFPGA搭載評価ボード「FSMPB for Nios Ⅱ」を発売した．FPGAとして，回路規模が50万ゲートのCyclone Ⅱを搭載する．Nios Ⅱは，Altera社のFPGAに実装できるソフト・マクロのCPUコアである．

FPGA（Cyclone Ⅱ）のほか，16MバイトのSDRAM，2Mバイトのフラッシュ・メモリ，Ethernetインターフェース（10M/100M），SDカード・スロット，RS-232-Cインターフェース，CANインターフェース，USB 2.0インターフェースを備える．また，μITRON規格に準拠するOS「NORTi」と，SDカード・アクセス用のFAT16プロトコル・スタックが付属する．

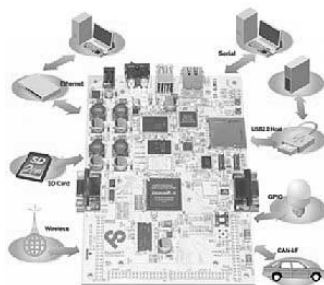



写真1　FSMPB for Nios Ⅱの外観

■価格
176,400円
■連絡先
富士ソフト株式会社
TEL 046-222-1970
fsmpb.sale@fsi.co.jp
http://www.fsi.co.jp/top.html

6チャネルのCANインターフェースを備える車載向け32ビット・マイコン
MB91F467BA

富士通は，6チャネルのCANインターフェースを備える車載向け32ビット・マイコン「MB91F467BA」を発売した．伝送速度が最大1Mビット/sのCAN（Controller Area Network）コントローラを搭載している．ダッシュ・ボードのメータや乗員検知，エアコン，エンジン制御などに使用できる．また，速度の異なるCANネットワーク間の接続や，CANとFlexRayの間の相互接続にも利用可能．

CPUコアとして，同社のFR60を搭載する．動作周波数は最大80MHz．16ビット固定長命令で，レジスタのインタ・ロック機能を備える．ハーバード・アーキテクチャにより，データ・アクセスとプログラム・アクセスを同時に実行できる．32ビットの乗算器を備える．符号付き32ビット乗算は5サイクル，符号付き16ビット乗算は3サイクルで実行できる．1Mバイトのフラッシュ・メモリ，24Kバイトのデータ ROM，16Kバイトの命令/データ共通RAMを内蔵する．電源電圧は3.0V～5.5V．

また，32チャネルのA-Dコンバータやウォッチドッグ・タイマ，リアルタイム・クロックを搭載する．さらに，LIN（Local Interconnect Network）に対応した7チャネルのUART（Universal Asynchronous Receiver Transmitter）と，5チャネルのDMA（Direct Memory Access）を備える．

2007年10月よりサンプル出荷を開始する．

■価格
2,400円（サンプル価格）
■連絡先
富士通株式会社
TEL 03-5322-3321
edevice@fujitsu.com
http://segroup.fujitsu.com/

マルチコア・プロセッサに対応したソフトウェア開発環境
LabVIEW 8.5

米国National Instruments社は，グラフィカル表現によるプログラミング開発環境の新版「LabView 8.5」を発売した．今回のバージョンから，LabVIEWにマルチコア・プロセッサ対応機能を追加した．

LabVIEWでは，GUIによる設計画面においてモジュール同士を線でつなぐことにより，プログラムを作成できる．例えば，データ入力モジュールと計算処理モジュール，画面表示モジュールをつなぐことにより，所望の機能を実現する．このとき，それぞれのモジュールをスレッドに割り当てることにより，マルチスレッドでの動作が可能となる．マルチスレッド構成のプログラムを，そのままマルチコア・プロセッサの各プロセッサ・コアに割り当てることができる．

また，タスクとCPUコアの割り当てを制御できる．例えば時間制約の厳しいタスクを，処理負荷の軽いCPUコアに割り当てるようなことも可能となった．

対応OS（実行環境）は，VxWorksやLinux，eCos，QNX，Windows.

■価格
下記に問い合わせ
■連絡先
日本ナショナル インスツルメンツ株式会社
TEL 0120-527196
E-mail : salesjapan@ni.com
http://digital.ni.com/worldwide/japan.nsf/main?readform

SystemC入力のビヘイビア合成に関する設計ノウハウ集

SystemC動作合成スタイルガイド

エッチ・ディー・ラボは，SystemC入力のビヘイビア合成に関する設計ノウハウ集「SystemC動作合成スタイルガイド」を発売した．JEITA（電子情報技術産業協会）のSystemCワーキング・グループが策定した「動作合成スタイルガイド構成要件」を参考に，同社のコンサルティング業務を通して培った設計ノウハウをドキュメント化したという．

品質の良い回路を生成できるように，ビヘイビア合成のための記述スタイルを定義した．例えば，命名規則やモジュール定義，初期リセット，パイプライン，演算ビット幅の記述方法などを細かく決めている．また，記述例や検証環境の構築方法，生成した回路をシステムLSIへ組み込む際の注意点も紹介する．ここで述べられているコーディング・ルールに従って設計データを作成すれば，プロジェクト内だけでなく，企業の壁を越えて設計資産を再利用しやすくなる．

サンプル記述や記述テンプレートは，同社のホームページから無償でダウンロードできる．これらの記述は，米国Forte Design Systems社のビヘイビア合成ツール「Cynthesizer」で動作をチェックした．今回発売するのは日本語版のスタイルガイドだが，2008年度中には英語版も発行する予定．

■価格
300万円（法人向けライセンス）
■連絡先
株式会社エッチ・ディー・ラボ
TEL 045-477-4315
info@hdlab.co.jp
http://www.hdlab.co.jp/

汎用DSP向けCコード出力機能を備える固定小数点演算設計支援ツール

FP-Fixer ver.2.0

礎デザインオートメーションは，汎用ディジタル信号処理プロセッサ（DSP）向けCコードの出力機能を備える固定小数点演算設計支援ツール「FP-Fixer ver.2.0」を発売した．従来のバージョンでは，主にLSI設計におけるビヘイビア合成を想定したANSI Cコードを生成していたが，今回のバージョンから対応範囲を汎用DSPに広げた．

信号処理や画像処理などのアルゴリズムは，主に浮動小数点演算で定義されている．LSI設計や汎用DSP向けのソフトウェア設計では，コスト低減や高性能化のために，こうしたアルゴリズムを固定小数点演算に変換する必要がある．例えば，丸め誤差や誤差伝播に配慮しながらコードを書き換える．

本ツールはCコードの中の浮動小数点変数を検出し，プロファイリングの結果をもとに，自動的に適切な精度（ビット幅）の固定小数点変数に変換する．例えば，米国Texas Instruments社のソフトウェア開発環境「Code Composer Studio V3.3」を利用してベンチマークを行ったところ，浮動小数点演算によって処理した場合と比較して，2.3～6.1倍高速に処理できたという．

ビット幅の解析を高速に行うための固定小数点シミュレーション・ライブラリを用意する．対応OSはWindowsおよびLinux．

■価格
350万円
■連絡先
株式会社礎デザインオートメーション
TEL 03-6762-1472
sales@ishizue-da.co.jp
http://ishizue-da.co.jp/

5Gサンプル/sのミックスト・シグナル・オシロスコープ

DL9705L，DL9510L，DL9505L

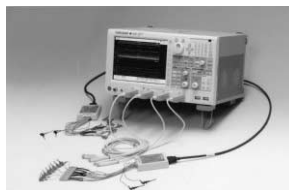
横河電機は，サンプリング速度が5Gサンプル/sのミックスト・シグナル・オシロスコープの品ぞろえを拡充した．従来から出荷している「DL9710L」に加えて，新たに「DL9705L」，「DL9510L」，「DL9505L」の3機種を出荷した．本ディジタル・オシロスコープを利用すると，4チャネルのアナログ信号と32または16チャネルのディジタル信号を同時に計測することが可能．ディジタル家電やAV機器，プリンタ，スキャナ，自動車電装品などで必要とされるアナログ/ディジタル信号の評価に利用できる．

DL9705Lのディジタル入力数は32チャネル，アナログ周波数帯域は500MHz．DL9510Lのディジタルの入力数は16チャネル，アナログ周波数帯域は1GHz．DL9505Lのディジタル入力数は16チャネル，アナログ周波数帯域は500MHz．

写真1　DL9705Lの外観

■価格
252万円から（DL9705L）
231万円から（DL9510L）
178.5万円から（DL9505L）
■連絡先
横河電機株式会社
TEL 0120-137-046
http://www.yokogawa.co.jp/tm/